

Requested Patent: JP64001252A
Title: JIG FOR SEMICONDUCTOR ELEMENT TEST ;
Abstracted Patent: JP64001252 ;
Publication Date: 1989-01-05 ;
Inventor(s): YASUDA TADASHI; others: 01 ;
Applicant(s): JAPAN SYNTHETIC RUBBER CO LTD ;
Application Number: JP19870155523 19870624 ;
Priority Number(s): ;
IPC Classification: H01L21/66; G01R31/26; G01R31/28 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To simplify a test by obtaining an electrically conductive state through a sheetlike member of an anisotropically conductive elastomer in which conductive magnetic particles are dispersed in volumetric fraction of a specific range in silicone rubber with the electrode of a semiconductor element and electrodes of a printed circuit substrate.

CONSTITUTION: A sheetlike member 4 of anisotropically conductive elastomer in which 3-15% of volumetric fraction is dispersed in silicone rubber is disposed on a printed circuit substrate 3, a positioning member 6 of a semiconductor element 5A is set on the substrate 3 or the member 4, the element 5A disposed between positioning members 6 is so disposed as to be able to be pressed toward the member 4 by a pressing plate 7 having a packing 9 having a vent hole 8 and made of an elastic material on a contact face with the element 5A to press the plate 7 to obtain an electrically conductive state of the electrodes of the element 5A and the electrodes of the substrate through the member. Thus, the attachment and detachment of the semiconductor element can be extremely easily achieved.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-1252

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月5日

H 01 L 21/66

Z-6851-5F

G 01 R 31/26

J-7359-2G

31/28

J-6912-2G

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体素子試験用治具

⑰ 特 願 昭62-155523

⑱ 出 願 昭62(1987)6月24日

⑲ 発 明 者 安 田 直 史 東京都中央区築地2丁目11番24号 日本合成ゴム株式会社内

⑲ 発 明 者 永 田 正 樹 東京都中央区築地2丁目11番24号 日本合成ゴム株式会社内

⑳ 出 願 人 日本合成ゴム株式会社 東京都中央区築地2丁目11番24号

㉑ 代 理 人 弁理士 谷 義 一

明 細 書

ト配線基板の電極とを前記シート状部材を介して電気的に導通状態が得られるようにしたことを特徴とする半導体素子試験用治具。

1. 発明の名称

半導体素子試験用治具

2. 特許請求の範囲

(以下、余白)

- 1) 半導体素子をプリント配線基板上に位置決めし、前記半導体素子の電極と前記プリント配線基板の電極との間の電気的導通が得られるようにする半導体素子試験用治具において、

シリコンゴム中に導電性磁性体粒子を3%~15%の体積分率で分散させてなる異方導電性エラストマーのシート状部材を前記プリント配線基板上に配置し、前記プリント配線基板または前記シート状部材上に前記半導体素子の位置決め用部材を設置し、前記位置決め用部材間に配置された前記半導体素子を、通気孔を有し、かつ半導体素子との接触面に弾性体からなるバックシンを有する押圧板により前記シート状部材に向けて押圧可能に配置し、前記押圧板による押圧により前記半導体素子の電極と前記プリン

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体素子試験用治具に関し、詳しくは、チップキャリア型あるいはフラットバック型 IC もしくは LSI 等の半導体素子に対してバーン・イン・テスト等の試験を行うのに好適な半導体素子試験用治具に関する。

〔従来の技術〕

電子産業における近年の技術的進歩は著しく、とりわけ、IC や LSI 等の半導体素子においては高密度化、多ピン化等が進められると共に一枚の基板に搭載される半導体素子の個数も増大し、IC の信頼性に対する要求はますます厳しさを増す状態となってきた。このような状態において、半導体素子に対する試験の重要性および必要性も一層高められ、多様化した半導体素子に適合し得る試験用治具の開発が強く望まれている。

ところで、従来のこの種の試験用治具としては、例えば配線パターンを施した試験用基板上に半導体素子搭載用のソケットを配置するようにし

〔発明が解決しようとする問題点〕

本発明の目的は、上述の従来の問題点に着目し、その解決を図るべく、チップキャリア型やフラットバック型のようにフラット電極を有する形態の半導体素子に対しても特殊なソケットを用意することなくそのまま試験用基板上にセットして試験を実施することができ、しかも微細なピッチの電極を有するものにおいても容易に対応することのできる半導体素子試験用治具を提供することにある。

〔問題点を解決するための手段〕

かかる目的を達成するために、本発明は、半導体素子をプリント配線基板上に位置決めし、前記半導体素子の電極と前記プリント配線基板の電極との間の電気的導通が得られるようにする半導体素子試験用治具において、シリコーンゴム中に導電性磁性体粒子を 3%~15% の体積分率で分散させてなる異方導電性エラストマーのシート状部材を前記プリント配線基板上に配置し、前記プリント配線基板または前記シート状部材上に前記半導

体素子が知られており、かかる試験用治具においては、そのソケットに IC や LSI 等の半導体素子を装着した状態でバーン・イン・テスト等が実施されるが、ここで、その試験される半導体素子がフラットバック型やチップキャリア型である場合は、特殊なソケットを用意する必要がある。

すなわち、チップキャリア型は第 5 A 図に示す LCC (Leadless Chip Carrier) や第 5 B 図に示す PLCC (Plastic Leaded Chip Carrier) のように半導体素子自体に電極リード端子を有しないものである。一方、フラットバック型は第 5 C 図に示すように 2 辺にリード端子が設けられている SOP (Small Outline Package) や第 5 D 図に示すように 4 辺にリード端子が設けられている QFP (Quad Flat Package) 等いずれもリード端子を有しているものであるが、かかるフラット電極を有し、しかも 1 mm 以下の微細ピッチで電極が設けられているものにあつてはソケットへの装着もむずかしく、また正確に装着されているかどうかを確認することも容易ではない。

体素子の位置決め用部材を設置し、前記位置決め用部材間に配置された前記半導体素子を、通気孔を有し、かつ半導体素子との接触面に弾性体からなるバックインを有する押圧板により前記シート状部材に向けて押圧可能に配置し、前記押圧板による押圧により前記半導体素子の電極と前記プリント配線基板の電極とを前記シート状部材を介して電気的に導通状態が得られるようにしたことを特徴とするものである。

まず本発明に適用する異方導電性エラストマーについて述べる。

異方導電性エラストマーは一般にシート状として使用され、そのシートの厚さ方向にのみ電気的導通が可能となるように電極が形成されたもので、本発明においては隣接する電極同士間は電気的に絶縁状態に保たれる。

かかる異方導電性エラストマーには、金属繊維や炭素繊維等の導電性繊維をシートの厚さ方向に並列に埋設したものや、導電性カーボンを含有させた導電性ゴムと絶縁性ゴムとを交互に積層した

もの、あるいは導電性磁性体粒子をエラストマー中に均一に分散させた上その磁性体粒子を配向させたもの等が知られている。

これらのうち、本発明に適用可能な異方導電性エラストマーは、導電性磁性体粒子を均一に分散させてこれらを配向させた形態の異方導電性エラストマーであって、本発明では以下に述べるような仕様によって得られたものを使用する。

まず、エラストマー中に均一に分布させる導電性磁性体粒子としては、例えばニッケル、コバルト、鉄等の金属粒子を挙げることができ、更にこれらの粒子に金、銀、パラジウム等を無電解メッキしたものが好適である。またこのような導電性磁性体粒子のエラストマー中における体積分率は3%~15%の範囲である。その理由は、3%未満であると電気的抵抗値のばらつきが大きくなるために適切でなく、また15%を超えると分解能を1mm以下に保つについて絶縁の信頼性が低下する。ここで、分解能の定義は、電極幅と電極間の距離とを加えたものをピッチとした場合、そのピッチ

きる。

なお、上述の導電性繊維を埋設した異方導電性エラストマーは繰返しの使用によって繊維が折れ曲がり易く、耐久性に問題がある。また、導電性カーボンを含有させた導電性ゴムと絶縁性ゴムとを交互に積層した異方導電性エラストマーは電気的抵抗が大きいので、本発明の使用には適しない。

また、本発明に用いられるプリント配線基板は、半導体素子の電極に合わせたパターン状電極（以下、「試験電極部」という）を有するもので、更に外部との電気的接続を図るための配線が試験電極部よりなされているものである。

更に、本発明に用いられる押圧板は、半導体素子が通電により発生する熱を放熱するための通気孔を有し、かつ半導体素子との接触面に弾性体からなるバッキンを有するものである。

〔実施例〕

以下に、本発明の実施例を具体的に説明する。

の逆数で与えられる数値である。

異方導電性エラストマーに用いるエラストマーには耐熱性に優れたシリコーンゴムが使用されるが、上述したような導電性磁性体粒子を含む異方導電性エラストマーを製造するにあたっては下記のような方法を挙げることができる。

すなわち、上述の導電性磁性体粒子とシリコーンゴムとからなる複合体未架橋物をシート状に成形しておき、これを表面が平坦な磁極板間において架橋前または架橋時に磁極板を用いてシートの厚み方向に平行な磁束線が得られるような磁場を作用させる方法（特開昭55-159578号公報）、あるいは、上述の導電性磁性体粒子とシリコーンゴムとからなる複合体未架橋物をシート状に成形したのち、これを凹凸のある磁極板で挟持させるように成し、架橋前または架橋時に磁石を用いてシートの厚み方向に平行な磁束線が得られるような磁場を作用させる方法（特開昭53-147772号公報および特開昭54-146873号公報）により、本発明で用いる異方導電性エラストマーを得ることがで

第1図および第2図は本発明をチップキャリア型半導体素子に適用した2実施例である。第1図または第2図において、1は治具の土台をなすフレーム、2はフレーム1上に配置された絶縁スペーサである。フレーム1としては熱伝導度、機械的強度、耐熱性等に優れた材料であれば特別の限定はないが、一般的に使用されるものとしてはジュラルミン、アルミニウム、鉄等を挙げることができる。また、絶縁スペーサ2はその上に設置されるプリント配線基板3とフレーム1との間の電気的絶縁を図るために設けられるものであり、耐熱性、電気的絶縁性等に優れた材料、たとえばガラスエポキシ樹脂、ポリイミド樹脂等で構成することができる。

プリント配線基板3もまた絶縁スペーサ2と同様にガラスエポキシ樹脂やポリイミド樹脂等で形成することができるが、プリント配線基板3上の電極（不図示）としては、この上に配設される異方導電性エラストマーのシート状部材（以下、単に「異方導電性部材」という）4との接触抵抗の

低減を図る点、ならびに耐熱性を考慮して、金メッキを施したものが望ましい。

プリント配線基板3の上には異方導電性部材4を配置する。ここで、第1図に示すようにプリント配線基板3上全面に異方導電性部材4を載置してもよいし、あるいは第2図に示すように半導体素子(IC)5Aをセットする部分にだけ異方導電性部材4を載置するようにしてもよい。なお、第1図の場合は半導体素子5A間に半導体素子5Aの位置決めが容易なように固定スペーサ6が設けられるが、第2図の場合は異方導電性部材4間にも半導体素子5Aの位置決め用に固定スペーサ6Aが配置される。また、半導体素子5A間に設けられるスペーサ6の厚さとしては、半導体素子5Aの着脱が容易かつ確実に実施されるように半導体素子の厚さに対して好ましくは25%以上かつ100%未満、特に好ましくは40%以上かつ75%未満である。

7は上述のようにしてセットされた半導体素子5Aの上からこれらを押圧するための押圧板であ

素子5Aに対しても好適な試験用治具を提供することができる。

第3図および第4図は本発明をフラットバック型半導体素子5Bに適用した2実施例を示す。本例の場合は、そのリード端子10を押圧板7で押圧するために、押圧板7には脚部7Aを設け、この脚部7Aによりバッキン9を介してリード端子10を異方導電性部材4に向けて押圧する。第4図の例では、分割して設けられた異方導電性部材4を位置決めするために、第2図の例と同様に、異方導電性部材4の間にもスペーサ6Aを配設する。

[発明の効果]

本発明によれば、半導体素子をプリント配線基板上にセットするのに半導体素子搭載用のソケットを設ける必要がなく、半導体素子をプリント配線基板上に直接セットすればよく、その装着および取外しが極めて容易に行えるのみならず、極めて微細なピッチの端子電極を有するチップキャリア型およびフラットバック型半導体素子に対して

り、耐熱性に優れたガラスエポキシ樹脂、金属等で構成することができ、該押圧板の厚さは5～15mm程度が望ましい。また、押圧板7には個々の半導体素子5A上に通気孔8が穿設してあり、これらの通気孔8によって半導体素子5Aからの熱が放散され易いようにする。更に、本例では押圧板7の通気孔8周辺の下面側に、半導体素子5Aをソフトに押圧するために、耐熱性の優れたフッ素ゴムやシリコンゴム等の弾性体によるバッキン9を設ける。これらバッキン9により半導体素子5Aと異方導電性部材4との間の接触状態が良好に保たれるようになる。

このように構成した半導体素子試験用治具においては、押圧板7により半導体素子5Aを異方導電性部材4に向けて圧接するだけで、半導体素子5Aの電極とプリント配線基板3の電極との間の電氣的導通が異方導電性部材の厚さ方向に形成された導電路を介して得られ、しかもその導電路の形成されるピッチが著しく微細なので、細かいピッチでリード端子が形成されているような半導体

も信頼度の高い電氣的導通試験を簡単に実施することができる、以てバーン・イン・テスト等に好適な半導体素子試験用治具を提供することができる。

4. 図面の簡単な説明

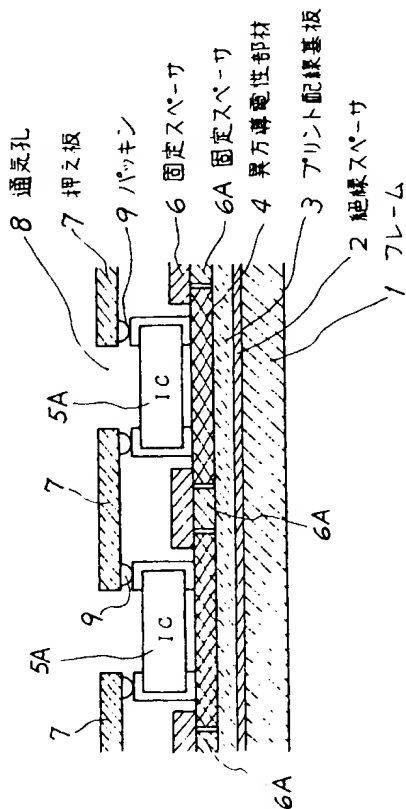
第1図および第2図はチップキャリア型半導体素子に適用した本発明の半導体素子試験用治具の構成の2実施例をそれぞれ模式的に示す断面図、

第3図および第4図はフラットバック型半導体素子に適用した本発明の半導体素子試験用治具の構成の2実施例をそれぞれ模式的に示す断面図、

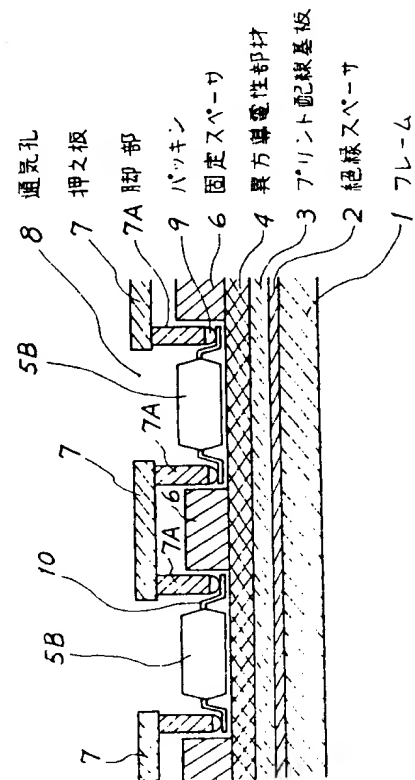
第5A図～第5D図は通常のチップキャリア型およびフラットバック型半導体素子の各種形態をそれぞれ示す斜視図である。

- 1…フレーム、
- 2…絶縁スペーサ、
- 3…プリント配線基板、
- 4…異方導電性部材、
- 5A…チップキャリア型半導体素子、

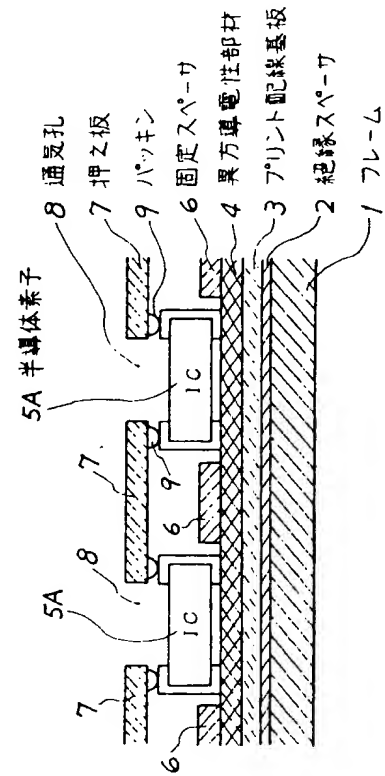
- 5 B …フラットバック型半導体素子、
 6、6 A …固定スペーサ、
 7 …押圧板、
 7 A …脚部、
 8 …通気孔、
 9 …パッキン、
 10 …リード端子。



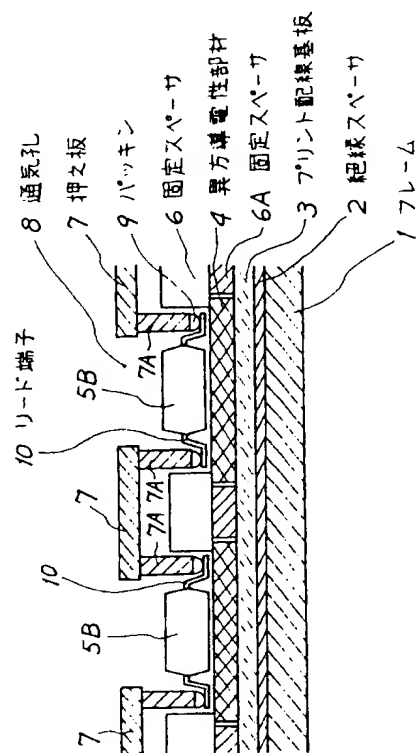
第 2 図



第 3 図



第 1 図

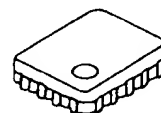


第4図



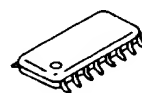
LCC

第5A図



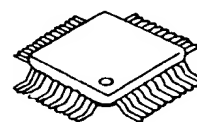
PLCC

第5B図



SOP

第5C図



QFP

第5D図